

Method of manufacturing a semiconductor device having MOS transistor and bipolar transistor in mixture on the same substrate

Patent Number: US6025219

Publication date: 2000-02-15

Inventor(s): KINOSHITA YASUSHI (JP)

Applicant(s):: NIPPON ELECTRIC CO (JP)

Requested Patent: JP10275871

Application Number: US19980049929 19980330

Priority Number(s): JP19970080006 19970331

IPC Classification: H01L21/8238 ; H01L21/8249

EC Classification: H01L27/06D4W, H01L21/8249

Equivalents: CN1199244, JP2953425B2

Abstract

There are formed simultaneously a first conductive layer selectively on a region of a semiconductor substrate in which an N-channel MOS transistor is to be formed and on a region of the semiconductor in which a p-channel MOS transistor is to be formed, a second conductive layer on a region of the semiconductor substrate in which a capacitive element is to be formed, and a third conductive layer on a region of the semiconductor substrate in which the resistive element is to be formed. Next, there are formed simultaneously a first insulating film on the lateral side of the first conductive layer, a second insulating film selectively on the second conductive layer, and a third insulating film selectively on the third conductive layer. Then the fourth insulating film is formed on the whole surface. Thereafter there are formed simultaneously a fifth conductive layer on a region of the semiconductor substrate in which a bipolar transistor is to be formed, and a sixth conductive layer on the fourth insulating film on the second conductive layer.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 特許公報 (B2)

(11)特許番号

第2953425号

(45)発行日 平成11年(1999)9月27日

(24)登録日 平成11年(1999)7月16日

(51)Int.Cl.⁶
H01L 21/8249
27/06

識別記号

F I
H01L 27/06

321B

請求項の数9(全11頁)

(21)出願番号 特願平9-80006
(22)出願日 平成9年(1997)3月31日
(65)公開番号 特開平10-275871
(43)公開日 平成10年(1998)10月13日
(54)審査請求日 平成9年(1997)3月31日

(73)特許権者 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72)発明者 木下 基
東京都港区芝五丁目7番1号 日本電気
株式会社内
(74)代理人 弁理士 若林 忠

審査官 恩田 春香

(56)参考文献 特開 平3-234054 (JP, A)
特開 平6-291262 (JP, A)
特開 平8-97310 (JP, A)
特開 平5-90492 (JP, A)

(58)調査した分野(Int.Cl.⁶, DB名)
H01L 21/8249
H01L 27/06

(54)【発明の名称】 半導体装置の製造方法

1

(57)【特許請求の範囲】

【請求項1】 MOSトランジスタと2層ポリシリコンセルフアライン型バイポーラトランジスタと抵抗素子及び容量素子からなる集積回路の製造方法において、MOS部のゲート電極と容量素子の下部電極部及び抵抗素子部を同時に形成する工程と、第1の絶縁膜を成長した後にレジストで容量部と抵抗部を各々部分的にマスクを行ってMOS部のサイドウォール形成する工程と、第2の絶縁膜を成長した後にバイポーラ部を形成する工程と、バイポーラトランジスタのベース電極と容量素子の上部電極を同時に形成する工程とを含む半導体装置の製造方法。

【請求項2】 Nチャネル型MOSトランジスタのソース・ドレイン活性化のアニール工程と、Pチャネル型MOSトランジスタのソース・ドレイン活性化のアニール

2

工程の間に抵抗素子と容量素子及びバイポーラトランジスタの形成を行なうこととする請求項1記載の半導体装置の製造方法。

【請求項3】 第1の多結晶シリコンを堆積した後にMOSトランジスタのゲート電極及び抵抗素子及び容量下部電極としてパターニングする工程と、第2の多結晶シリコンを堆積する工程と、第3の多結晶シリコンを堆積した後にバイポーラトランジスタのエミッタ電極としてパターニングする工程と、第2の多結晶シリコンをバイポーラトランジスタのベース電極及び容量素子の上部電極としてパターニングする工程の順に行なうこととする請求項1または2記載の半導体装置の製造方法。

【請求項4】 MOS部のサイドウォールを形成する際に、容量部では容量値を決定する領域のみ多結晶シリコンが部分的に露出され、抵抗部はコントラクト領域のみ多

結晶シリコンが露出されることを特徴とする請求項1～3のいずれかに記載の半導体装置の製造方法。

【請求項5】 容量素子の容量絶縁膜は第2の絶縁膜であり、酸化膜あるいは窒化膜であることを特徴とする1～3のいずれかに記載の半導体装置の製造方法。

【請求項6】 抵抗素子は第2の酸化膜で覆われている部分が抵抗として機能し、覆われていない部分はシリサイド化されることを特徴とする請求項1～3のいずれかに記載の半導体装置の製造方法。

【請求項7】 MOS部のサイドウォールは第1の絶縁膜と第2の絶縁膜の2回に分けて形成されることを特徴とする請求項1～3のいずれかに記載の半導体装置の製造方法。

【請求項8】 MOSトランジスタのゲート電極のパターンング後、バイポーラトランジスタのコレクタ領域へのイオン注入と容量下部電極への不純物ドーピングを同時にに行なうことを特徴とする請求項1～3のいずれかに記載の半導体装置の製造方法。

【請求項9】 Pチャネル型のMOSトランジスタと、Nチャネル型のMOSトランジスタと、2層ポリシリコンセルフアライン型のバイポーラトランジスタと、低抵抗素子と、容量素子とを有する半導体装置の製造方法において、

前記Pチャネル型及びNチャネル型MOSトランジスタは、表層に設けられるソースとドレインとの間の領域の上部に、サイドウォールで側面を取囲んだ構成のゲートを配置した構造を有する表面チャネル型であり、

前記バイポーラトランジスタは、コレクタの上部に、ベース電極と接続するグラフトベース中にエミッタを配した構造を有し、

前記抵抗素子は、その上面に設けられた絶縁膜によって面方向における抵抗長が規定された抵抗部と、該抵抗部の両端に配線とのコンタクト部を設けた構造を有し、

前記容量素子は、上部電極と下部電極間に容量を規定する容量絶縁膜を配した構造を有するものであり、かつ前記NチャネルMOSトランジスタのゲートとなる部分、

前記PチャネルMOSトランジスタのゲートとなる部分、前記抵抗素子の抵抗部となる部分及び前記容量素子の下部電極となる部分を同一材料から同時形成した後に、これら各部をそれぞれ処理して、前記NチャネルMOSトランジスタのN型ゲート、前記PチャネルMOSトランジスタのP型ゲート、前記抵抗素子の抵抗部及び前記容量素子の下部電極を得る工程と、

前記バイポーラトランジスタのグラフトベース形成のための熱処理工程を、前記P型MOSトランジスタにおけるソース及びドレインの活性化のためのアニール工程よりも前に行い、更に、

前記MOSトランジスタのサイドウォールの形成時に、同一材料からなる絶縁膜を用いて前記容量素子の容量を決定する絶縁膜と、前記抵抗素子の抵抗体長を規定する

絶縁膜とを同時形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、少なくとも、表面チャネル型MOSトランジスタ、バイポーラトランジスタ、抵抗素子及び容量素子を同一基板上に混載した半導体装置の製造方法に関する。

【0002】

10 【従来の技術】半導体集積回路の製造技術の進歩に伴って、デジタル回路とアナログ回路を同一基板上に形成する要求が高まっている。このような集積回路装置としては、ロジック回路を高密度に形成しやすいCMOSトランジスタと、微少なアナログ信号を高速かつリニアに処理できるバイポーラトランジスタを含むBiCMOSデバイスが適している。なかでも、集積回路装置がGHz領域の通信技術などに適用される場合、バイポーラトランジスタにはよりいっそう高速動作が求められるため、エミッタ領域とベースコンタクト領域を自己整合

20 (セルフアライン) によって形成したトランジスタが一般的に使用される。また、このような集積回路装置を構成するにあたり、CMOSトランジスタとバイポーラトランジスタのみで回路を構成することはまれで、例えばデジタル回路では抵抗素子とともにECL(Emitter Coupled Logic)回路と呼ばれる回路が使用される。これは、電流切り替え型論理回路であり、バイポーラトランジスタの飽和動作が起こらず、きわめて高速に動作させることができる。一方、アナログ回路では動作点を決定するバイアス回路の構成などに抵抗素子が不可欠となる。

さらに、アナログ回路には不可欠であるフィルタ回路の構成には抵抗素子だけでなく容量素子も必要となる。このように、半導体集積回路装置の製造においては、トランジスタだけでなく抵抗素子や容量素子などの受動素子も必要となるため、これらの素子の形成において、可能な限り工程数増を招くことなく、同一基板内に形成することが重要となる。このため、受動素子の形成において、自己整合バイポーラトランジスタのベース電極となるポリシリコンやMOSトランジスタのゲート電極などを受動素子部の電極と共用することが一般に広く行われている。特に、BiCMOSLSI等の半導体装置に容量素子を付加するにあたり、その性能向上を大幅な工程の増加なしに実現した方法として、特開平6-291262記載の技術がある。以下、従来の技術を図7～図8を参照して説明する。本図は2層ポリシリコン型バイポーラトランジスタ、Pチャネル型のMOSトランジスタ部及び容量素子をシリコン基板に形成したもの構造を模式的に示す断面図である。

【0003】先ず、図7(a)を参照する。P型シリコン基板1に公知のフォトリソグラフィと砒素のイオン注入の技術を用いて、選択的にバイポーラトランジスタ部

にN⁺型埋め込み層2を形成する。その後、バイポーラトランジスタを電気的に絶縁分離するために、N⁺埋め込み層2を囲むようにP⁺型埋め込み層3を形成する。ただし、このP⁺型埋め込み層3の形成は後述するP型チャネルストッパー層4の形成と同時に行なってよい。ついで、上記シリコン基板1にN型単結晶シリコン層5を2μm程度の膜厚で成長させる。この成長では基板温度が1000°C以上に加熱されるのでN⁺型埋め込み層2とP⁺型埋め込み層3はN型単結晶シリコン層5にまで拡散される。このN型単結晶シリコン層5で前述のP⁺型埋め込み層3の上部に位置する領域にP型チャネルストッパー層4を形成する。次に素子分離のために、選択酸化(LOCOS)法で素子分離酸化膜6を形成する。ここで、この素子分離酸化膜6の膜厚は500nm程度であり、これを形成するためには1000°Cで長時間の熱酸化が必要になる。そして、この熱酸化によりP⁺型埋め込み層3及びP型チャネルストッパー層4の領域はそのボロン不純物の熱拡散で広がる。これによつて、バイポーラトランジスタが形成される領域は、P型シリコン基板1とP⁺型埋め込み層3とP型チャネルストッパー層4で電気的に素子分離される。

【0004】次に、図7(b)を参照する。NPN型トランジスタのコレクタ引き出し領域7を形成するために、リンなどのN型の不純物をイオン注入により、N型単結晶シリコン層4へマスクを使用して選択的に注入した後、900°Cから1000°Cの窒素雰囲気中で10分から30分の熱処理を施し、電気的に活性化する。その後、ゲート酸化膜8を形成する。ゲート酸化膜8は10～20nmの膜厚を形成する。そして、CVDにより全面に100～200nm程度の膜厚の第1層の多結晶シリコン9を形成する。

【0005】次に、図7(c)を参照する。先ず、先に形成した第1層の多結晶シリコン9をマスクを使用したドライエッチングでパターニングし、バイポーラトランジスタ部のベース、エミッタ形成領域10やMOSトランジスタ部のゲートとなる部分などを形成する。次に、CVDにより100～200nmの膜厚の第2層の多結晶シリコン11を形成する。先の、第1層の多結晶シリコン9とあわせて、多結晶シリコン膜厚の合計は、300～400nmとなる。MOSトランジスタ部のゲート電極部にN⁺イオン注入を、バイポーラトランジスタ部のベース電極形成部分にP⁺イオン注入を各々マスクを使用して注入した後、MOSのゲート電極、バイポーラトランジスタ部のベース電極を残し、既存のドライエッチング技術にて、前記多結晶シリコン9及び11を加工する。次にマスクを使用してMOS部にのみP⁻イオン注入を行い、P-LDD拡散層12を形成する。その後、CVDにより200～400nmの膜厚の酸化膜を形成し、既存のドライエッチング技術にて基板全面を異方性エッチングすることにより、LDD酸化膜サイドウ

オール13を形成する。次にMOS部にマスクを使用してP⁺イオン注入を行い、P⁺ソースドレイン拡散層14を形成する。尚、図ではMOSトランジスタはN型単結晶シリコン5に形成されているが、マスクを1枚追加してPチャネル型MOSトランジスタ部にN型ウエルを形成するのが一般的である。また、図ではPチャネル型MOSトランジスタしか図示していないが、Nチャネル型MOSトランジスタを形成する場合には、Pチャネル型MOSトランジスタと同様に、LDD領域とソースドレン領域形成のために2枚のマスクが追加される。また、Nチャネル型MOSトランジスタ形成領域に、P型ウエルが形成されるためにさらに1枚マスクが追加される。

【0006】次に図7(d)を参照する。CVDにより300～400nmの膜厚の酸化膜15を基板全面に堆積する。

【0007】次に図8(a)を参照する。容量素子形成領域16の酸化膜15をリソグラフィ技術及びエッチング技術にて開口した後、CVDにより30～60nmの膜厚の容量窒化膜17を形成し、ドライエッチング技術にて加工することにより、MISキャパシタ形成部に窒化膜17を残す。

【0008】次に図8(b)を参照する。バイポーラトランジスタのエミッタコンタクト領域18の酸化膜/多結晶シリコン積層膜を既存のドライエッチング技術で除去する。その後、エミッタコンタクト領域18にイオン注入により、真性ベース領域を形成する。そして、エッチバック法とよばれる一般に広く知られた方法を用いて、ベース電極とこれから形成するエミッタ電極が電気的に絶縁されるように、CVDにより400～600nmの膜厚の酸化膜を形成し、既存のドライエッチング技術にて異方性エッチングすることにより、エミッタコンタクト領域18の側壁にエミッタ、ベース電極分離用酸化膜サイドウォール19を形成する。

【0009】次に、多結晶シリコン20を100から200nmの厚さで基板に成長し、既存のドライエッチング技術にてエミッタ形成用多結晶シリコン20を形成する。このエミッタ形成用多結晶シリコン13は容量素子の上部電極としも機能する。そして、前記多結晶シリコン20へのイオン注入及び拡散により、ベース、エミッタを形成する。この時の熱処理により、MOS部のソース・ドレイン拡散層の活性化と、ベース取り出し電極からP⁺拡散したグラフトベースの形成及び、多結晶シリコン20からのヒソもしくはリンの不純物拡散によりエミッタを形成する。

【0010】次に、図8(c)を参照する。CVDにより300～400nmの膜厚の層間膜21を形成した後、既存の配線技術を用いてコンタクトホール22を開口し、各電極を形成する。

50 【0011】

【発明が解決しようとする課題】ゲート長が微細なMOSトランジスタにおいて、ゲート電極の抵抗やソース・ドレイン拡散層の層抵抗を低減するために、例えばTiなどの高融点金属を用いてゲート電極表面及びソースドレイン拡散層をシリサイド化する場合、あらかじめシリサイド化する拡散層や多結晶シリコン表面を露出させておかなければならない。しかしながら、従来例では容量素子形成の際に基板全面に酸化膜を成長し、MOSトランジスタ領域を完全に覆ってしまうため、酸化膜を選択的に除去するマスクが必要になる欠点がある。さらに、抵抗素子としてゲート電極もしくはバイポーラトランジスタのベース電極あるいはエミッタ電極を使用して形成する場合には、抵抗素子の表面全面がシリサイド化されることを防ぐ保護膜の形成が必要となり、工程数増を招いてしまう欠点がある。

【0012】また、従来の半導体集積回路装置では、Pチャネル型MOSトランジスタとNチャネル型MOSトランジスタとともにN型のゲート電極を使用している。このため、Nチャネル型MOSトランジスタは表面チャネル型であるが、Pチャネル型MOSトランジスタでは必ず埋め込みチャネル型となっていた。埋め込みチャネル型のMOSトランジスタは、電流のオフ特性が悪いため、表面チャネル型に比べてリーク電流が大きい欠点がある。また、短チャネル効果が大きく、しきい値制御も困難である欠点がある。このため、ゲート長の縮小に伴い、Nチャネル型MOSトランジスタだけでなく、Pチャネル型MOSトランジスタも表面チャネル型のMOSトランジスタを使用することが必須となる。

【0013】しかしながら、上記の従来例では、熱履歴の問題から、Pチャネル型のMOSトランジスタのゲートをP型としてチャネルを表面型とした場合、Pチャネル型のMOSトランジスタとバイポーラトランジスタを各々特性の劣化を招くことなく形成することは困難である。この理由は、Pチャネル型MOSトランジスタのゲート、ソース及びドレイン形成にはボロンのイオン注入による方法が通常用いられるが、ゲート、ソース及びドレインに注入されたボロンの熱処理によるチャネル領域へのしみだしが起こりやすいため、バイポーラトランジスタの形成に必要な熱処理と、Pチャネル型MOSのゲート、ソース及びドレイン形成に必要な熱処理が異なるからである。とくに、バイポーラトランジスタのグラフトベース形成には少なくとも、850度10分～30分のファーネスアニールが必要となるが、この熱処理はゲート、ソース及びドレイン中のボロンが活性化されている状態でのPチャネル型のMOSトランジスタに対しては過剰であり、微細ゲート長を有するPチャネル型MOSトランジスタを形成することはできない。

【0014】本発明はこれらの従来技術における問題点を解決することを目的としてなされたものであり、少くとも、Pチャネル型MOSトランジスタと、Nチャネ

ル型MOSトランジスタと、2層ポリシリコンセルフアライン型のバイポーラトランジスタと、抵抗素子と、容量素子とを有する半導体装置において、Nチャネル型及びPチャネル型のMOSトランジスタとして表面チャネル型のものを利用することでき、更に、工程数を効率化して同一基板上に精度良くこれらの素子を配置することができる半導体装置の製造方法を提供することにある。

【0015】

【課題を解決するための手段】本発明の半導体装置の製造方法は、MOSトランジスタと2層ポリシリコンセルフアライン型バイポーラトランジスタと抵抗素子及び容量素子からなる集積回路の製造方法において、MOS部のゲート電極と容量素子の下部電極部及び抵抗素子部を同時に形成する工程と、第1の絶縁膜を成長した後にレジストで容量部と抵抗部を各々部分的にマスクを行ってMOS部のサイドウォール形成する工程と、第2の絶縁膜を成長した後にバイポーラ部を形成する工程と、バイポーラトランジスタのベース電極と容量素子の上部電極を同時に形成する工程とを含むことを特徴とする。

【0016】また、本発明の半導体装置の製造方法における他の態様は、Pチャネル型のMOSトランジスタと、Nチャネル型のMOSトランジスタと、2層ポリシリコンセルフアライン型のバイポーラトランジスタと、抵抗素子と、容量素子とを有する半導体装置の製造方法において、前記Pチャネル型及びNチャネル型MOSトランジスタは、表層に設けられるソースとドレインとの間の領域の上部に、サイドウォールで側面を取囲んだ構成のゲートを配置した構造を有する表面チャネル型であり、前記バイポーラトランジスタは、コレクタの上部

30 に、ベース電極と接続するグラフトベース中にエミッタを配した構造を有し、前記抵抗素子は、その上面に設けられた絶縁膜によって面方向における抵抗長が規定された抵抗部と、該抵抗部の両端に配線とのコンタクト部を設けた構造を有し、前記容量素子は、上部電極と下部電極間に容量を規定する容量絶縁膜を配した構造を有するものであり、かつ前記NチャネルMOSトランジスタのゲートとなる部分、前記PチャネルMOSトランジスタのゲートとなる部分、前記抵抗素子の抵抗部となる部分及び前記容量素子の下部電極となる部分を同一材料から

40 同時形成した後に、これら各部をそれぞれ処理して、前記NチャネルMOSトランジスタのN型ゲート、前記PチャネルMOSトランジスタのP型ゲート、前記抵抗素子の抵抗部及び前記容量素子の下部電極を得る工程と、前記バイポーラトランジスタのグラフトベース形成のための熱処理工程を、前記P型MOSトランジスタにおけるソース及びドレインの活性化のためのアニュール工程よりも前に行い、更に、前記MOSトランジスタのサイドウォールの形成時に、同一材料からなる絶縁膜を用いて前記容量素子の容量を決定する絶縁膜と、前記抵抗素子の抵抗体長を規定する絶縁膜とを同時形成することを特徴

とする。

【0017】本発明の方法においては、Pチャネル型のMOSトランジスタにおいてもゲートをP型として表面チャネル型とすることが可能であり、ゲート長の縮小に十分に対応できる半導体装置を提供することができる。

【0018】更に、同一材料を用いた同一工程によって形成する部分の比率を高めて、製造工程の大幅な効率化を図ることが可能となる。

【0019】

【発明の実施の形態】本発明の方法においては、Nチャネル型MOSトランジスタのソース・ドレイン活性化のアニール工程と、Pチャネル型MOSトランジスタのソース・ドレイン活性化のアニール工程の間に抵抗素子と容量素子及びバイポーラトランジスタの形成を行なうことができる。

【0020】また、第1の多結晶シリコンを堆積した後にMOSトランジスタのゲート電極及び抵抗素子及び容量下部電極としてパターニングする工程と、第2の多結晶シリコンを堆積する工程と、第3の多結晶シリコンを堆積した後にバイポーラトランジスタのエミッタ電極としてパターニングする工程と、第2の多結晶シリコンをバイポーラトランジスタのベース電極及び容量素子の上部電極としてパターニングする工程の順に行なうことができる。

【0021】更に、MOS部のサイドウォールを形成する際に、容量部では容量値を決定する領域のみ多結晶シリコンが部分的に露出され、抵抗部はコンタクト領域のみ多結晶シリコンが露出されるようにすることができる。また、容量素子の容量絶縁膜を第2の絶縁膜とし、酸化膜あるいは窒化膜で形成することができる。更に、抵抗素子は第2の酸化膜で覆われている部分が抵抗として機能し、覆われていない部分はシリサイド化される構成とすることができます。更に、MOS部のサイドウォールは第1の絶縁膜と第2の絶縁膜の2回に分けて形成することができる。また、MOSトランジスタのゲート電極のパターニング後、バイポーラトランジスタのコレクタ領域へのイオン注入と容量下部電極への不純物ドーピングを同時に行なうことができる。

【0022】一方、Pチャネル型及びNチャネル型MOSトランジスタのゲート電極となる部分、抵抗素子の抵抗体及び容量素子の下部電極となる部分を同じ多結晶シリコン層のパターニングで形成し、更に、バイポーラトランジスタのベース電極となる部分及び容量素子の上部電極となる部分を同じ多結晶シリコン層のパターニングで形成することで全体としての工程を更に効率化できる。

【0023】また、容量素子の容量を規定する絶縁膜は、酸化膜あるいは窒化膜から形成することができる。

【0024】抵抗素子の形成は、基板の面方向に配置した多結晶シリコンからなる抵抗体の上面に、その抵抗体

長を規定する絶縁膜を、配線とのコンタクト部となる両端部が残されるように積層した後、これら両端部にイオン注入した後、更にこの絶縁膜をマスクとしてその表面をシリサイド化して配線とのコンタクト部を形成することで行なうことができる。

【0025】Nチャネル型及びPチャネル型MOSトランジスタのゲートの第1のサイドウォール絶縁膜の形成時に、抵抗素子の抵抗体長を規定する絶縁膜を同一材料で同時形成し、更に第2のサイドウォール絶縁膜の形成時に容量素子の容量を規定する絶縁膜を同一材料で同時形成することで行なうことができる。

【0026】また、グランドベース形成の熱処理後にPチャネルMOSトランジスタのソースドレインを形成することもできる。

【0027】更に、バイポーラトランジスタのコレクタ引き出し領域の形成を基板内部の所定領域へのイオン注入工程により行い、また容量素子の下部電極の形成を多結晶シリコン層への不純物の導入工程により行い、かつこれらの工程が、基板上に多結晶シリコン層をパターニングして、Pチャネル型及びNチャネル型MOSトランジスタのゲート電極となる部分、抵抗素子の抵抗体となる部分及び容量素子の下部電極となる部分を同時形成する工程の後に行なうこともできる。

【0028】

【実施例】以下、実施例により本発明を更に詳細に説明する。

【0029】実施例1

図1～図3は発明の第1の実施例を説明するための製造の工程順の断面図である。本実施例では、容量素子の容量を規定する絶縁膜は2回目のサイドウォール酸化膜と同時形成される。

【0030】先ず、図1(a)に示すように、P型シリコン基板1にマスクを用い、イオン注入によりバイポーラトランジスタ部にN⁺型埋め込み層2を形成する。尚、図示していないが表面チャネル型のPチャネル型MOSトランジスタの下部にもN⁺型埋め込み層2があつてもよい。同様に、Nチャネル型MOSトランジスタの下部とバイポーラトランジスタ部の周囲にP⁺型埋め込み層3を形成する。このP⁺型埋め込み層3はバイポーラトランジスタと他の素子との絶縁分離の役目をする。

ついで、上記P型シリコン基板1にN型単結晶シリコン層5をエピタキシャル成長させる。この成長では基板温度が1000℃以上に加熱されるのでN⁺型埋め込み層2とP⁺型埋め込み層3はN型単結晶シリコン層5にまで拡散される。ついで、イオン注入により、Nチャネル型MOSトランジスタ領域及びバイポーラトランジスタの周囲領域にP型ウエル50、Pチャネル型MOSトランジスタ領域にはN型ウエル60を形成する。そして、選択酸化であるLOCOS法で素子分離酸化膜6を300～400nmの厚さに形成する。尚、P型ウエル50

とN型ウエル60は選択酸化後に高エネルギーイオン注入技術を用いて形成することも可能である。基板全面にゲート酸化膜8と不純物をドープしていない多結晶シリコン90を成長する。ゲート酸化膜8の膜厚は5から15nm、多結晶シリコン90の膜厚は150から200nmとする。そして、両MOSトランジスタ部のゲート電極となる部分、容量素子の下部電極部となる部分、抵抗素子の抵抗体となる部分を除き、多結晶シリコン90をドライエッティングで除去することにより、これらの部分のパターニングを行う。

【0031】次に、図1(b)に示すように、NPN型トランジスタのコレクタ引き出し領域7を形成するために、リンなどのN型の不純物をイオン注入により、N型単結晶シリコン層5へマスクを使用して選択的に注入する。この際、工程を短縮するために容量素子の下部電極となる部分への注入も同時に実行してもよい。更に、所定の層抵抗が得られるように抵抗素子の抵抗体となる部分の多結晶シリコンへ例えればボロンなどの不純物をイオン注入する。その後、第1のサイドウォール酸化膜100を厚さが50から100nmとなるように全面に形成した後、レジスト110で容量部(第2のサイドウォール用酸化膜が形成される部分)と抵抗部をマスクしてエッチバックする。これにより、両MOSトランジスタ部にはサイドウォールが形成される。また、容量部は下部電極である多結晶シリコン90の表面が部分的に露出される。この工程は従来例では容量コンタクトを開口していた部分に相当する。一方、抵抗部はそれとは逆に第1のサイドウォール酸化膜が抵抗素子となる多結晶シリコン90表面上に部分的に残る。これは、後のシリサイド工程において、抵抗素子の表面全面がシリサイド化されないようにして、抵抗長を規定するためである。

【0032】次に、図1(c)に示すように、第2のサイドウォール酸化膜120を厚さが10から30nmとなるように全面に形成する。この第2のサイドウォール酸化膜12はそのまま容量素子の容量絶縁膜としても機能する。その後、nMOS部のソース・ドレイン領域及びゲート電極へセルフアラインでイオン注入によりひ素を導入する。そして、注入エネルギーの値は、ひ素が第2のサイドウォール酸化膜120を通過してかつシリコン基板中へ所定の深さに注入されるように、膜厚に応じて30keVから80keVの間で設定する。尚、このエネルギー値の範囲ではひ素がゲート電極のポリシリコンを突き抜けることはない。その後、窒素雰囲気中で850度から900度の温度で、5分から15分間、熱処理を行う。これにより、NMOSのソース・ドレイン領域中の不純物を電気的に活性化させて、Nチャネル型MOSトランジスタの形成し、更に、コレクタ引き出し領域の活性化、抵抗素子部、容量素子の下部電極の活性化も同時に実行することができる。なお、図1(c)に示された状態の抵抗素子の層90の側面には、第1のサイド

ウール酸化膜と第2のサイドウォール酸化膜とが内側からこの順に積層しているが、これ以降の図ではこれを便宜上1層として示す。

【0033】次に、図2(a)に示すように、バイポーラ部のみ酸化膜をエッティング除去した後、バイポーラのベース電極となる多結晶シリコン130と窒化膜等の絶縁膜140を基板全面に積層する。NPN型バイポーラトランジスタのベース電極を形成するため、更には容量素子の上部電極を形成するため、多結晶シリコン130にはボロン等のP型不純物をイオン注入する。そして、バイポーラトランジスタのベース・エミッタ領域が形成される部分の絶縁膜/多結晶シリコン積層膜をドライエッティングでエッティングすることにより、エミッタコンタクト領域18を形成する。そして、ボロン等のP型の不純物をイオン注入することにより、バイポーラ部のエミッタコンタクト領域18内に真性ベース層を形成する。

【0034】次に、図2(b)に示すように、エッチバツク技術を使用して、エミッタコンタクト領域18内にサイドウォール絶縁膜160を形成した後、エミッタ電極となる多結晶シリコン20を基板全面に積層する。この多結晶シリコン20には砒素もしくはリンの不純物をイオン注入により添加しておくか、砒素もしくはリンの不純物を成長時にドープして堆積する。その後、ドライエッティングにより、エミッタ電極をパターニングする。

【0035】次に、図2(c)に示すように、同様にドライエッティングにより、絶縁膜140と多結晶シリコン130をパターニングする。多結晶シリコン130はバイポーラトランジスタのベース電極だけでなく、容量素子の上部電極も兼用している。これにより、バイポーラ部の形成工程中MOSトランジスタ部をカバーして保護するとともに工程の削減が可能となる。そして、窒素雰囲気で800度から850度の温度の熱処理を加える。これにより、ベース電極中のボロンがシリコン基板中へ拡散してバイポーラトランジスタのグラフトベース形成が行われる。

【0036】次に、図3(a)に示すように、Pチャネル型MOSトランジスタ部のソース・ドレイン領域及びゲート電極へBF2をイオン注入により導入する。この際、レジスト170でマスクして、MOS部と抵抗素子のコンタクト部へ注入されるようにする。注入エネルギーの値は、ボロンが第2のサイドウォール絶縁膜120を通過してかつシリコン基板中へ所定の深さに注入されるように、層間膜の厚さに応じて40keVから90keVに設定する。

【0037】そして、図3(b)に示すように、Pチャネル型MOSトランジスタのゲート電極、ソース及びドレイン領域の不純物を活性化するため、ランプアニール技術を使用して1000°C、10~30秒のアニールを行う。これにより、Pチャネル型MOSトランジスタにおいて問題となるボロンの突き抜けを防ぐ。

膜を通過してチャネル領域へ拡散することが防げるとともに高性能なバイポーラトランジスタが形成できる。その後、両MOSトランジスタの表面を覆っている酸化膜をドライエッチングにより除去して拡散層とゲート電極の上部表面を露出させた後、例えばTi等の高融点金属を積層した後熱処理してシリサイド化し、チタンシリサイド層180を形成する。この際、抵抗素子部では酸化膜で覆われていない部分のみシリサイド化され、コンタクト抵抗の低減が可能となる。

【0038】また、MOSトランジスタ部では、ゲート電極上面およびソース、ドレイン領域表面がシリサイド化され、サイドウォール酸化膜で覆われているゲート電極側面はシリサイド化されない。その後シリサイド化されていないTiをエッチング除去する。

【0039】次に、図3(c)に示すように、基板全面に層間膜21を形成した後、コンタクトホール22を開口する。以降のアルミ配線工程等は公知の方法に従って行うことができる。

【0040】実施例2

図4～図6は発明の第2の実施例を説明するための製造の工程順の断面図である。本実施例では、容量素子をより高精度に製造するために、容量絶縁膜に窒化膜を使用した場合である。

【0041】第4(a)に示すように、P型シリコン基板1にマスクを用い、イオン注入によりバイポーラトランジスタ部にN⁺型埋め込み層2を形成する。尚、図示していないがPチャネル型MOSトランジスタの下部にもN⁺型埋め込み層2があつてもよい。同様に、Nチャネル型MOSトランジスタの下部とバイポーラトランジスタ部の周囲にP⁺型埋め込み層3を形成する。このP⁺型埋め込み層3はバイポーラトランジスタと他の素子との絶縁分離の役目をする。ついで、上記P型シリコン基板1にN型単結晶シリコン層5をエピタキシャル成長させる。この成長では基板温度が1000°C以上に加熱されるのでN⁺型埋め込み層2とP⁺型埋め込み層3はN型単結晶シリコン層5にまで拡散される。ついで、イオン注入により、Nチャネル型MOSトランジスタ領域及びバイポーラトランジスタの周囲領域にP型ウエル50、Pチャネル型MOSトランジスタ領域にはN型ウエル60を形成する。そして、選択酸化であるLOCOS法で素子分離酸化膜6を300～400nmの厚さに形成する。尚、P型ウエル50とN型ウエル60は選択酸化後に高エネルギーイオン注入技術を用いて形成することも可能である。基板全面にゲート酸化膜8と不純物をドープしていない多結晶シリコン90を成長する。ゲート酸化膜8の膜厚は5から15nm、多結晶シリコン90の膜厚は150から200nmとする。そして、MOS部のゲート電極と容量素子の下部電極部と抵抗素子部を除き、多結晶シリコン9をドライエッチングで除去することにより、各電極のパターニングを行う。

【0042】次に、図4(b)に示すように、NPN型トランジスタのコレクタ引き出し領域7を形成するため、リンなどのN型の不純物をイオン注入により、N型単結晶シリコン層5へマスクを使用して選択的に注入する。この際、容量素子の下部電極へも注入してもよい。そして、所定の層抵抗が得られるよう抵抗素子部の多結晶シリコンへ例えばボロンなどの不純物をイオン注入する。その後、第1のサイドウォール酸化膜100を厚さが50から100nmとなるように全面に形成した

10 後、レジスト110で容量部と抵抗部とバイポーラ部をマスクしてエッチバックする。これにより、バイポーラ部には第1のサイドウォール酸化膜がそのまま残り、MOS部にはサイドウォールが形成される。また、容量部は下部電極である多結晶シリコン90の表面が部分的に露出される。この工程は従来例では容量コンタクトを開口していた部分に相当する。一方、抵抗部はそれとは逆に第1のサイドウォール酸化膜が抵抗素子である多結晶シリコン90表面上に部分的に残る。これは、後のシリサイド工程において、抵抗素子の表面全面がシリサイド化されないようにするためである。

【0043】次に、図4(c)に示すように、第2のサイドウォール膜となる窒化膜112を厚さが10から30nmとなるように全面に形成する。この窒化膜112はそのまま容量素子の容量絶縁膜として機能する。その後、nMOS部のソースドレイン領域及びゲート電極へセルフアラインでイオン注入によりひ素を導入する。そして、注入エネルギーの値は、ひ素が窒化膜112を通過してかつシリコン基板中へ所定の深さに注入されるよう、膜厚に応じて30keVから80keVの間で設定する。尚、このエネルギー値の範囲ではひ素がゲート電極のポリシリコンを突き抜けることはない。その後、窒素雰囲気中で850度から900度の温度で、5分から15分間、熱処理を行う。これにより、Nチャネル型MOSのソースドレイン領域中の不純物を電気的に活性化させて、Nチャネル型MOSトランジスタを形成する。また、コレクタ引き出し領域の活性化、抵抗素子の抵抗部、容量素子部の下部電極の活性化も同時に行なうことができる。なお、図4(c)に示された状態の抵抗素子の層90の側面には、第1のサイドウォール酸化膜と第2のサイドウォール窒化膜とが内側からこの順に積層しているが、これ以降の工程図ではこれを1層として示す。

【0044】次に、図5(a)に示すように、バイポーラのベース電極となる多結晶シリコン130と酸化膜114を基板全面に積層する。NPN型バイポーラトランジスタのベース電極を形成するため、更には容量素子の上部電極を形成するため、多結晶シリコン130にはボロン等のP型不純物をイオン注入する。そして、バイポーラトランジスタのベース・エミッタ領域が形成される50 部分の絶縁膜/多結晶シリコン積層膜をドライエッキン

15

グでエッチングすることにより、エミッタコンタクト18を開口する。ここで、ベース電極となる多結晶シリコン130がバイポーラトランジスタのグラフトベース領域と電気的に接続されるように、エミッタコンタクト底部の窒化膜をホットリン酸でウェットエッチする。この際、多結晶シリコン130表面上の酸化膜114が窒化膜ウェットエッチのマスクとなる。また、窒化膜112下にある第1の酸化膜160により、バイポーラトランジスタの真性ベース領域がホットリン酸液から保護される。その後、エミッタコンタクト内の窒化膜112下にある第1の酸化膜100をウェットエッチして、多結晶シリコン130の下に横方向にスリットを形成する。このスリットの長さは0.2～0.5μmの範囲で形成されるように窒化膜ウェットエッチと酸化膜ウェットエッチの時間を決定する。その後、全面に多結晶シリコン150を成長した後、等方性のドライエッチングを行なうことにより、先のスリット内にのみ多結晶シリコン150を残す。これによって、ベース電極となる多結晶シリコン130とN型単結晶シリコン層5表面とが電気的に接続される様になる。そして、ボロン等のP型不純物をイオン注入することにより、バイポーラ部のエミッタコンタクト18内に真性ベース層を形成する。

【0045】次に、図5(b)に示すように、エッチバック技術を使用して、エミッタコンタクト18内にサイドウォール絶縁膜160を形成した後、エミッタ電極となる多結晶シリコン20を基板全面に積層する。この多結晶シリコン20には砒素もしくはリンの不純物をイオン注入により添加しておくか、砒素もしくはリンの不純物を高濃度にドープして成長する。その後、ドライエッチングにより、エミッタ電極をパターニングする。

【0046】次に、図5(c)に示すように、同様にドライエッチングにより、酸化膜114と多結晶シリコン130をパターニングする。多結晶シリコン130はバイポーラトランジスタのベース電極だけでなく、容量素子の上部電極も兼用している。そして、窒素雰囲気で800度から850度の温度の熱処理を加える。これにより、ベース電極中のボロンがシリコン基板へ拡散して、バイポーラトランジスタのグラフトベース形成が行われる。

【0047】次に、図6(a)に示すように、Pチャネル型MOSトランジスタ部のソース・ドレイン領域及びゲート電極へBF2をイオン注入により導入する。この際、レジスト170でマスクして、両MOSトランジスタ部と抵抗素子のコンタクト部へ注入されるようとする。注入エネルギーの値は、ボロンが第2のサイドウォール絶縁膜を通過してかつシリコン基板中へ所定の深さに注入されるように、窒化膜112の厚さに応じて40keVから90keVに設定する。

【0048】そして、図6(b)に示すように、Pチャネル型MOSトランジスタのゲート及びソース・ドレイ

16

ン領域の不純物を活性化するため、ランプアニール技術を使用して1000℃、10～30秒のアニールを行う。その後、MOSトランジスタの表面を覆っている酸化膜をエッチングにより除去して拡散層とゲート電極の上部表面を露出させた後、例えばTi等の高融点金属を使用してシリサイド化する。この際、抵抗素子は酸化膜で覆われていない部分のみシリサイド化され、コンタクト抵抗の低減が可能となる。チタンシリサイド層は180である。また、この実施例の場合、MOSトランジスタのサイドウォール膜は窒化膜／酸化膜積層膜となるので、Ti等の高融点金属をスパッタする前処理の酸化膜エッチにより、MOSトランジスタのサイドウォール膜厚が薄くなることはない。

【0049】次に、図6(c)に示すように、基板全面に層間膜21を形成した後、コンタクトホール22を開口する。以降のアルミ配線工程等は公知の方法に従って行なうことができる。

【0050】

【発明の効果】以上説明したように本発明は、MOSトランジスタがNチャネル型、Pチャネル型ともに表面チャネル型となり、短チャネル効果の抑制を図った微細寸法のゲート長を有するCMOSトランジスタと高性能なバイポーラトランジスタや受動素子とを同一基板上に工程数の増大と特性劣化を招くことなく形成できる。また、シリサイドプロセスとの整合生も得られる利点がある。

【図面の簡単な説明】

【図1】第1の実施例を説明するための工程順の断面図である。

【図2】第1の実施例を説明するための工程順の断面図である。

【図3】第1の実施例を説明するための工程順の断面図である。

【図4】第2の実施例を説明するための工程順の断面図である。

【図5】第2の実施例を説明するための工程順の断面図である。

【図6】第3の実施例を説明するための工程順の断面図である。

【図7】従来技術における製造工程を示す断面図である。

【図8】従来技術における製造工程を示す断面図である。

【符号の説明】

- | | |
|---|-----------------------|
| 1 | P形シリコン基板 |
| 2 | N ⁺ 埋め込み層 |
| 3 | P ⁺ 形埋め込み層 |
| 4 | P型チャネルストッパー |
| 5 | N型単結晶シリコン層 |
| 6 | 素子分離酸化膜 |

50

17

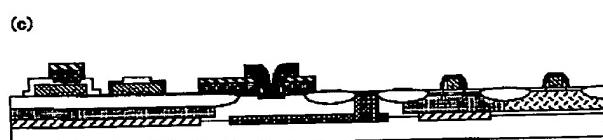
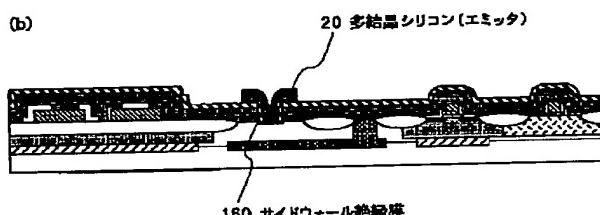
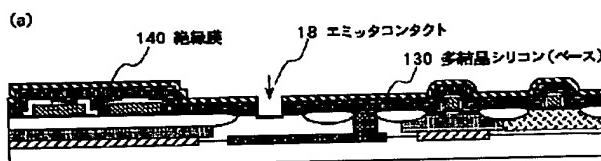
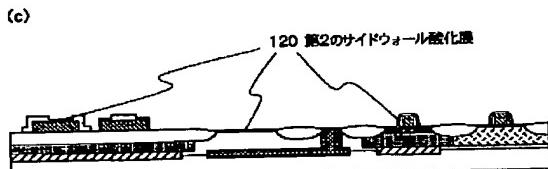
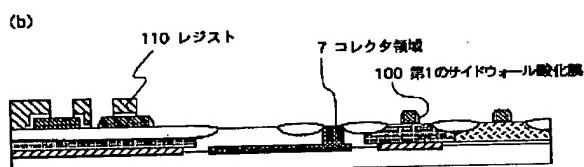
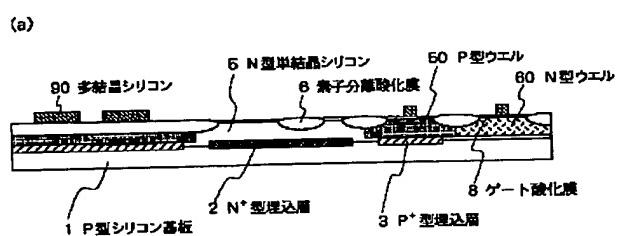
- 7 コレクタ引き出し領域
 8 ゲート酸化膜
 9 第1層の多結晶シリコン
 10 ベース、エミッタ形成領域
 11 第2層の多結晶シリコン
 12 P拡散層
 13 酸化膜サイドウォール
 14 P⁺ソースドレイン拡散層
 15 酸化膜
 16 容量素子形成領域

18

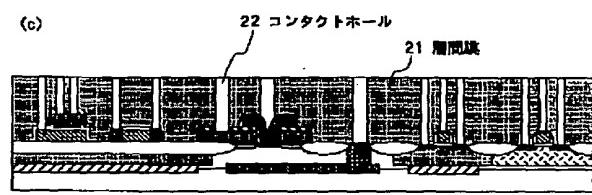
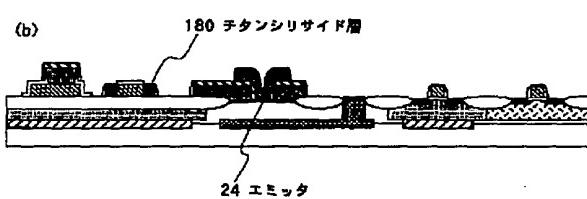
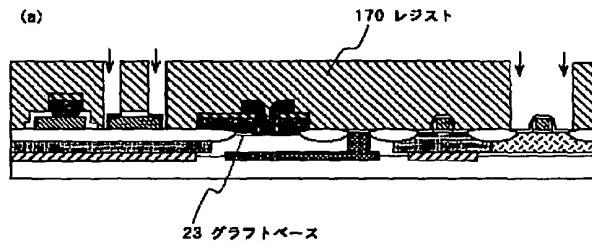
- 17 容量窒化膜
 18 エミッタコンタクト領域
 19 酸化膜サイドウォール
 20 多結晶シリコン(エミッタ)
 21 層間膜
 22 コンタクトホール
 23 グラフトベース
 24 エミッタ
 50 P型ウエル
 10 60 N型ウエル

【図1】

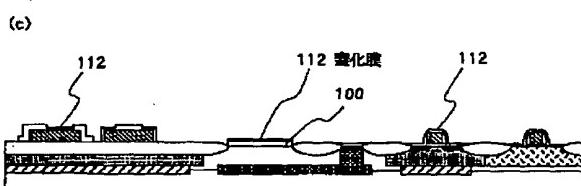
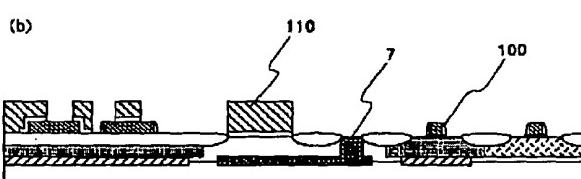
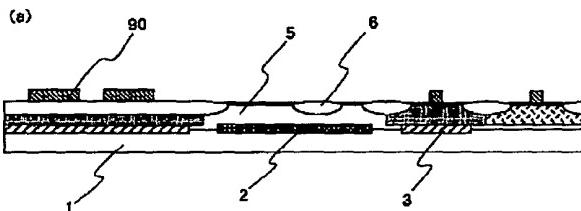
【図2】



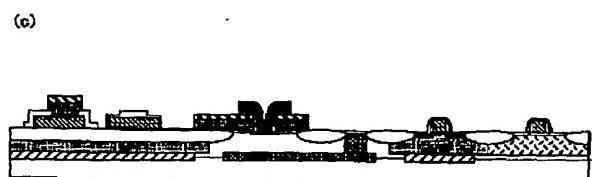
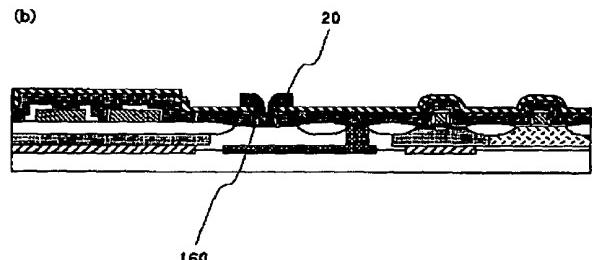
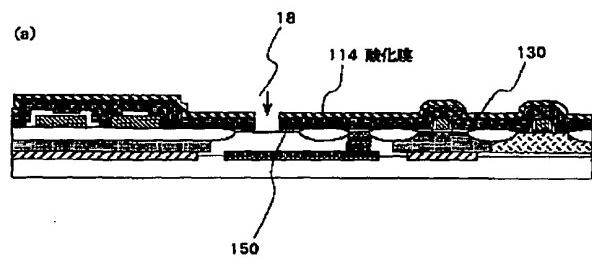
【図3】



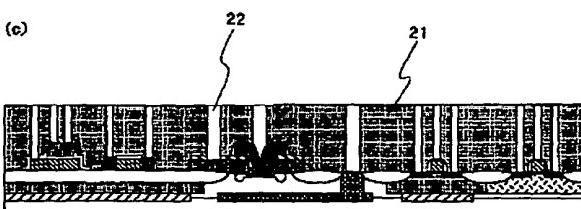
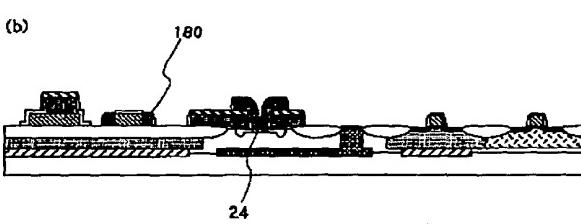
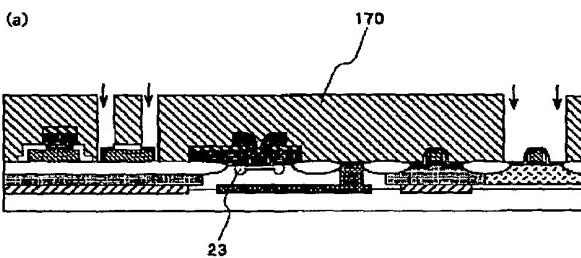
【図4】



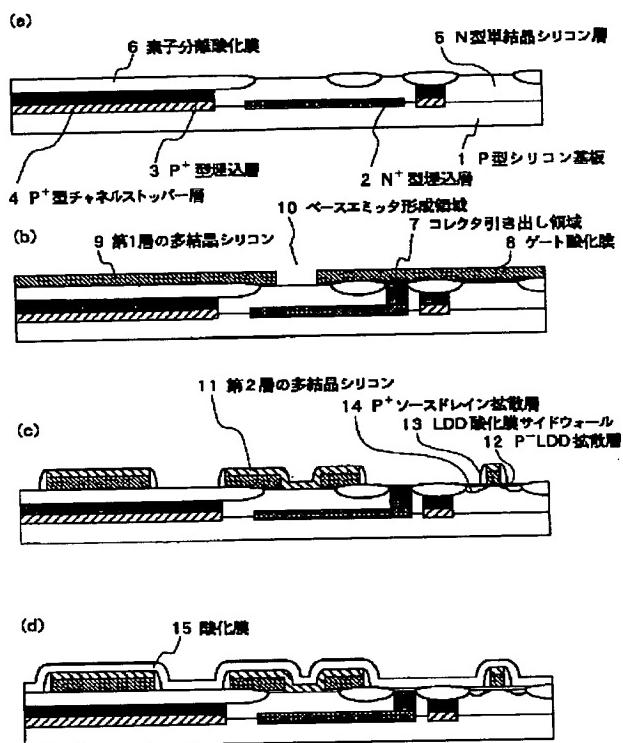
【図5】



【図6】



【図7】



【図8】

